

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8881505

Basic Patent (No,Kind,Date): JP 1222226 A2 890905 <No. of Patents: 001>

IMAGE DISPLAYING DEVICE (English)

Patent Assignee: MATSUSHITA ELECTRONICS CORP

Author (Inventor): FUJII EIJI; SENDA KOJI; UEMOTO YASUHIRO; EMOTO FUMIAKI;
NAKAMURA AKIRA

IPC: *G02F-001/133; H01L-027/12; H01L-029/78

Derwent WPI Acc No: C 89-298311

JAPIO Reference No: 130540P000007

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1222226	A2	890905	JP 8848071	A	880301 (BASIC)

Priority Data (No,Kind,Date):

JP 8848071 A 880301

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02924626 **Image available**

IMAGE DISPLAYING DEVICE

PUB. NO.: 01-222226 [JP 1222226 A]

PUBLISHED: September 05, 1989 (19890905)

INVENTOR(s): FUJII EIJI

 SENDA KOJI

 UEMOTO YASUHIRO

 EMOTO FUMIAKI

 NAKAMURA AKIRA

APPLICANT(s): MATSUSHITA ELECTRON CORP [000584] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 63-048071 [JP 8848071]

FILED: March 01, 1988 (19880301)

INTL CLASS: [4] G02F-001/133; H01L-027/12; H01L-029/78

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 969, Vol. 13, No. 540, Pg. 7,
December 05, 1989 (19891205)

ABSTRACT

PURPOSE: To reduce damages to a foundational transistor and to simplify a forming process by bringing a transparent electrode into contact with a transistor through a hole formed on an interlayer insulating film.

CONSTITUTION: The interlayer insulating film 13 where open holes 17 and 17' are provided on the transistor 12 is formed on the transistor 12 and a substrate 11 and the transparent electrode 14 formed on the insulating film 13 is made to connect with the transistor 12 through the open holes 17 and 17'. Namely, since the source line 15 of AL-Si-Cu is formed after forming the transparent electrode 14, Cr need not be formed in order to protect the source line. Thus, the deterioration of the characteristic of the foundational transistor caused by the stress of Cr can be prevented. The structure of the contact holes 17 and 17' is extremely simple because the transparent electrode 14 and the transistor 12 are brought into contact with each other and the process can be made simple.

⑫ 公開特許公報(A) 平1-222226

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)9月5日
 G 02 F 1/133 3 2 7 7370-2H
 H 01 L 27/12 A-7514-5F
 29/78 3 1 1 P-7925-5F 審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 画像表示装置

⑯ 特 願 昭63-48071

⑰ 出 願 昭63(1988)3月1日

⑱ 発 明 者 藤 井 英 治 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 千 田 耕 司 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 上 本 康 裕 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 江 本 文 昭 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑱ 発 明 者 中 村 晃 大阪府門真市大字門真1006番地 松下電子工業株式会社内
 ⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 中尾 敏 男 外1名

明 細 書

1. 発明の名称

画像表示装置

2. 特許請求の範囲

基板上にトランジスタが形成され、開孔が前記トランジスタ上に設けられた層間絶縁膜が、前記トランジスタおよび前記基板上に形成され、前記絶縁膜の上に形成された透明電極が前記開孔を通じて前記トランジスタと接続されていることを特徴とする画像表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、画像表示装置に関するものである。

従来の技術

近年、液晶ディスプレイは、ポケットサイズTVに用いられるなど、すでに実用段階にある。特に、画質の点から考えると、アクティブマトリックス型が優位であり、スイッチトランジスタの性質を向上させる研究がさかんに行われている。

以下、第4図に従い、従来の液晶表示素子の画

素子について説明する。第4図(a)は平面図、第4図(b)は第4図(a)のA-A'の断面図を示したものである。図中31が石英基板、32が多結晶シリコン膜、33が層間絶縁膜、34がAL-Si-Cu、35がCr、36がITO(Indium Tin Oxide)、37がゲートポリシリコン、38がAL-Si-Cuのソースライン、39、39'がコンタクトホールである。

第4図に示すように、従来はITOをエッチングする際に、コンタクトホール39のAL-Si-Cu 34も同時にエッチングされるのを防ぐために、AL-Si-Cu 34上をCr 35でおおひ構造がしばしばとられてきた。

発明が解決しようとする課題

しかしながら、上記のような画像表示装置では、Cr 35の引張り応力がきわめて強いために、下地のトランジスタに悪影響を与えるといった問題があった。さらにコンタクトホール39が、AL-Si-Cu 34、Cr 35、ITO 36といった3層構造となるため、上記コンタクトホール39を

形成するプロセスが、非常に複雑になるといった問題があった。本発明は、かかる点に鑑みてなされたもので、非常に簡単なプロセスで形成できる画像表示装置を提供するものである。

課題を解決するための手段

上記課題を解決するために、本発明の画像表示装置は、透明電極が層間絶縁膜に形成された穴を通してトランジスタと接触するような構造とするものである。

作 用

この構成により、透明電極を形成した後に、 $AL-Si-Cu$ のソースラインを形成するので、 $AL-Si-Cu$ を保護する Cr を形成する必要はない。従って Cr のストレスによる下地トランジスタの特性劣化を防止することができる。さらに、コンタクトホール17の構造は、透明電極と多結晶シリコントランジスタが接触している極めて単純なものとなり、プロセスが非常に単純になる。

実 施 例

本発明の画像表示装置の一実施例を第1図に示す。

このような構成とすれば、ソースライン16は透明電極14の後に形成することができ、コンタクトホール17での $AL-Si$ あるいは $AL-Si-Cu$ を保護するための Cr を形成する必要はない。従って、 Cr スパッタのトランジスタへのダメージを除去することができる。さらに、形成プロセスを非常に簡略化することができる。

本発明の画像表示装置の第2の実施例を第2図に示す。28は $AL-Si$ あるいは $AL-Si-Cu$ のソースライン金属である。第2図に示した構成とすれば、透明電極14のコンタクトホール17の断差部での断線を防止することができる。

本発明の画像表示装置の第3の実施例を第3図に示す。本実施例では、コンタクトホール17上で、透明電極の一部を除去し、前記コンタクトホール17全体に、ソースライン金属28である $AL-Si$ あるいは $AL-Si-Cu$ を埋込んだ構成となっている。本構成とすれば、透明電極14の前記断差部での断線を防止できるとともに、コンタクト抵抗を大幅に低減することができる。

第1図(a)が平面図、第1図(b)が第1図(a)のA-A'における断面図である。11が石英基板、12が多結晶シリコントランジスタ、13が層間絶縁膜、14が透明電極、15がソースライン、16がゲートライン、17、17'がコンタクトホールである。

まず第1図を形成するまでのプロセスを説明する。石英基板上に多結晶シリコン膜12を $0.22\mu m$ 程度堆積した後、通常のMOS工程によりトランジスタを形成する。常圧CVD法により層間絶縁膜13としてシリコン酸化膜を $0.8\mu m$ 程度堆積し、フォトリソグラフィーとウェットエッチング法でコンタクトホール17、17'を形成する。透明電極14としてDCスパッタ法でITO膜を $0.12\mu m$ を堆積し、フォトリソグラフィーとしゅう酸によるウェットエッチングで、第1図に示すように形成する。 $300^{\circ}C$ で10分程度ITO膜を焼きしめた後、スパッタ法で $AL-Si$ あるいは $AL-Si-Cu$ を $1.6\mu m$ 程度堆積し、フォトリソグラフィー法でソースライン16を形成する。

今までの実施例では、透明電極14としてITOを用いてきたが、ITOの代りに SnO_2 を使うと次の効果が得られる。即ち、前記 SnO_2 は、ITOと比べて耐高湿性($50^{\circ}C \sim 60^{\circ}C$)に優れているため、ソースライン16形成後に、プラズマナイトライドを堆積し、 $430^{\circ}C$ 程度でトランジスタの水素化を行うことができ、前記トランジスタの特性を大幅に改善することができる。

発明の効果

本発明は、上記した素子構成にすることにより、下地トランジスタへのダメージを低減することができるとともに、形成プロセスを大幅に簡略化することができる、きわめて効果的である。

4、図面の簡単な説明

第1図(a)は本発明の一実施例の画像表示装置の平面図、第1図(b)は断面図、第2図、第3図はそれぞれ第二、第三の実施例の断面図、第4図(a)、(b)はそれぞれ従来例の平面図と断面図である。

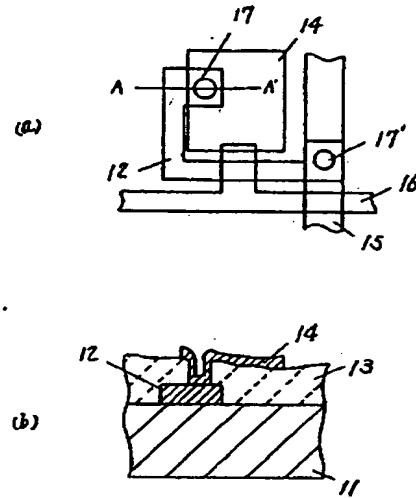
11……石英基板、12……多結晶シリコントランジスタ、14……透明電極、16……ソース

ライン、17……コンタクトホール、28……ソースライン金属。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

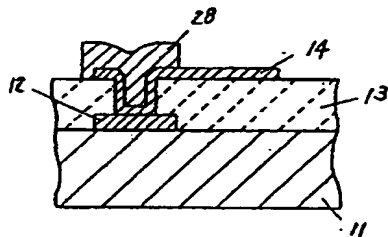
11-石英基板
12-多結晶シリコントランジスタ
13-層間絶縁膜
14-遮り電極
15-ソースライン
16-ゲートライン
17, 17'-コンタクトホール

第 1 図

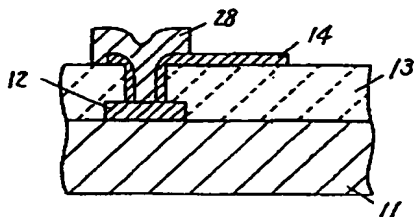


第 2 図

28-ソースライン金属



第 3 図



第 4 図

31-石英基板
32-多結晶シリコントランジスタ
33-層間絶縁膜
34-AL-Si-Cu
35-Cr
36-ITO
37-ゲートライン
38-ソースライン
39, 39'-コンタクトホール

